

三次元集積化技術の現状と脳型情報処理システムへの応用

東北大学未来科学技術共同研究センター 小柳光正
東北大学大学院工学研究科 福島誉史

1. はじめに

半導体素子の微細化に頼らずに高集積化，高性能化，低消費電力化，高機能化を達成できる三次元集積回路（LSI）が注目されている。我々は，量産性に富んだ三次元集積化技術を開発するために，1989年にTSV（Through Silicon Via：シリコン貫通配線）を形成したLSIウェハを厚いLSIウェハに張り合わせた後，上層のLSIウェハを薄化してTSVの底面を露出されるという手法により三次元LSIを作製する手法を提案し¹⁾，1995年に，直径 $2\sim 2.5\mu\text{m}$ ，深さ $50\sim 60\mu\text{m}$ のpoly-Si TSVの作製に世界で初めて成功した²⁾。また，このpoly-Si TSVを用いて，三次元積層型イメージセンサ（1999年，IEDM）³⁾，三次元積層型メモリ（2000年，IEDM）⁴⁾，三次元積層型人工網膜チップ（2001年，ISSCC）⁵⁾，三次元積層型プロセッサ（2002年，IEEE Cool Chips）⁶⁾の試作に成功している。その後，Cu TSVを使った三次元集積化技術の検討が世界中で精力的に行われるようになり，積層型メモリ（3D-DRAM）や積層型イメージセンサが実用化されるまでに至っている。本稿では，このような経緯を踏まえて，三次元集積化技術の現状と今後の展望，また，三次元集積化技術の応用例として脳型情報処理システムを紹介する。

2. 三次元集積化技術

2-1 三次元集積化技術の現状

Via Middle方式による三次元化技術とBack Via方式による三次元集積化技術が精力的に検討されている。Via Middle方式では図1に示すように，LSI製造の前工程でTSVを形成した後多層配線を形成し，別のウェハに張り合わせてシリコン基板を薄化し，TSV底部のCuを露出させて金属マイクロバンプを形成して積層する工程を繰り返す。一方，図2に示すように，プロセス工程が完了したLSIウェハを裏面から薄化した後にTSVおよび裏面マイクロバンプを形成して積層する。Via Middle方式およびBack Via方式で作製したCu-TSVのSEM断面写真と積層後の断面構造を図3，図4に示す。これらの技術を用いて，積層メモリや積層型イメージセンサ，積層型プロセッサが試作されている。

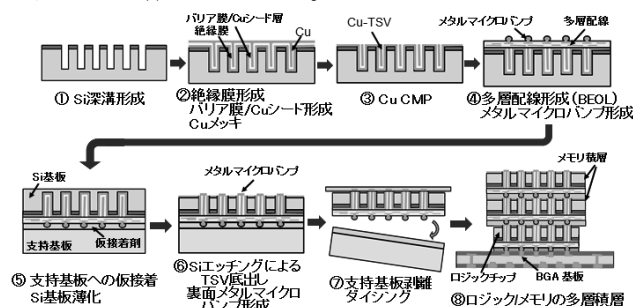


図1 三次元集積化プロセス(Via Middle Process)

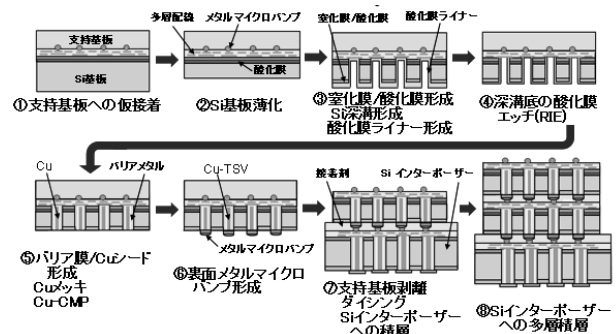


図2 三次元集積化プロセス(Back Via Process)